

**Microprocessor system bus 8-bit and 16-bit data
(MULTIBUS I); Part 1: Functional description with
electrical and timing specifications**

This document is a preview generated by EVS

EESTI STANDARDI EESSÕNA

NATIONAL FOREWORD

Käesolev Eesti standard EVS-HD 593.1 S1:2003 sisaldab Euroopa standardi HD 593.1 S1:1992 ingliskeelset teksti.

Standard on kinnitatud Eesti Standardikeskuse 15.01.2003 käskkirjaga ja jõustub sellekohase teate avaldamisel EVS Teatajas.

Euroopa standardimisorganisatsioonide poolt rahvuslikele liikmetele Euroopa standardi teksti kättesaadavaks tegemise kuupäev on 03.09.1992.

Standard on kättesaadav Eesti standardiorganisatsioonist.

This Estonian standard EVS-HD 593.1 S1:2003 consists of the English text of the European standard HD 593.1 S1:1992.

This standard is ratified with the order of Estonian Centre for Standardisation dated 15.01.2003 and is endorsed with the notification published in the official bulletin of the Estonian national standardisation organisation.

Date of Availability of the European standard text 03.09.1992.

The standard is available from Estonian standardisation organisation.

ICS 35.160

Standardite reprodutseerimis- ja levitamiseõigus kuulub Eesti Standardikeskusele

Andmete paljundamine, taastekitamine, kopeerimine, salvestamine elektroonilisse süsteemi või edastamine ükskõik millises vormis või millisel teel on keelatud ilma Eesti Standardikeskuse poolt antud kirjaliku loata.

Kui Teil on küsimusi standardite autorikaitse kohta, palun võtke ühendust Eesti Standardikeskusega:
Aru 10 Tallinn 10317 Eesti; www.evs.ee; Telefon: 605 5050; E-post: info@evs.ee

Right to reproduce and distribute Estonian Standards belongs to the Estonian Centre for Standardisation

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying, without permission in writing from Estonian Centre for Standardisation.

If you have any questions about standards copyright, please contact Estonian Centre for Standardisation:
Aru str 10 Tallinn 10317 Estonia; www.evs.ee; Phone: +372 605 5050; E-mail: info@evs.ee

UDC 621.382:681.3.02:681.327.8

Descriptors: Data bus, microprocessor, electrical description

ENGLISH VERSION

Microprocessor system bus - 8-bit and 16-bit data
(MULTIBUS I)
Part 1: Functional description with electrical and
timing specifications
(IEC 796-1:1990)

Bus système à microprocesseurs
Données: 8 bits et 16 bits
(MULTIBUS I)
Première partie: Description
fonctionnelle avec
spécifications électriques et
chronologiques
(CEI 796-1:1990)

Mikroprozessor-Systembus I für 8
Bit- und 16 Bit-Datenübertragung
(MULTIBUS I)
Teil 1: Funktionsbeschreibung,
elektrische Anforderungen und
Zeitverhalten
(IEC 796-1:1990)

This Harmonization Document was approved by CENELEC on 1992-06-16.
CENELEC members are bound to comply with the CEN/CENELEC Internal Regulations
which stipulate the conditions for implementation of this Harmonization Document
on a national level.

Up-to-date lists and bibliographical references concerning national implementation
may be obtained on application to the Central Secretariat or to any CENELEC member.

This Harmonization Document exists in three official versions (English, French,
German).

CENELEC members are the national electrotechnical committees of Austria, Belgium,
Denmark, Finland, France, Germany, Greece, Iceland, Ireland, Italy, Luxembourg,
Netherlands, Norway, Portugal, Spain, Sweden, Switzerland and United Kingdom.

CENELEC

European Committee for Electrotechnical Standardization
Comité Européen de Normalisation Electrotechnique
Europäisches Komitee für Elektrotechnische Normung

Central Secretariat: rue de Stassart 35, B-1050 Brussels

FOREWORD

The CENELEC questionnaire procedure, performed for finding out whether or not the International Standard IEC 796-1:1990 could be accepted without textual changes, has shown that no common modifications were necessary for the acceptance as Harmonization Document.

The reference document was submitted to the CENELEC members for formal vote and was approved by CENELEC as HD 593.1 S1 on 16 June 1992.

The following dates were fixed:

- latest date of announcement
of the HD at national level (doa) 1992-12-01
- latest date of publication of
a harmonized national standard (dop) 1993-06-01
- latest date of withdrawal of
conflicting national standards (dow) 1993-06-01

For products which have complied with the relevant national standard before 1993-06-01, as shown by the manufacturer or by a certification body, this previous standard may continue to apply for production until 1998-06-01.

Annexes designated "normative" are part of the body of the standard. In this standard, annex ZA is normative.

ENDORSEMENT NOTICE

The text of the International Standard IEC 796-1:1990 was approved by CENELEC as a Harmonization Document without any modification.

ANNEX ZA (normative)

OTHER INTERNATIONAL PUBLICATIONS QUOTED IN THIS STANDARD
WITH THE REFERENCES OF THE RELEVANT EUROPEAN PUBLICATIONS

When the international publication has been modified by CENELEC common modifications, indicated by (mod), the relevant EN/HD applies.

IEC Publication	Date	Title	EN/HD	Date
-----	----	-----	-----	----
625-1	1979	An interface system for programmable measuring instruments (byte serial, bit parallel) - Part 1: Functional specifications, electrical specifications, mechanical specifications, system applications and requirements for the designer and user	HD 414.1 S1	1981

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60796-1

Première édition
First edition
1990-09

**Bus système à microprocesseurs –
Données: 8 bits et 16 bits (MULTIBUS I)**

Première partie:
Description fonctionnelle avec spécifications
électriques et chronologiques

**Microprocessor system bus –
8-bit and 16-bit data (MULTIBUS I)**

Part 1:
Functional description with electrical
and timing specifications



Numéro de référence
Reference number
CEI/IEC 60796-1: 1990

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60796-1

Première édition
First edition
1990-09

**Bus système à microprocesseurs –
Données: 8 bits et 16 bits (MULTIBUS I)**

Première partie:

Description fonctionnelle avec spécifications
électriques et chronologiques

**Microprocessor system bus –
8-bit and 16-bit data (MULTIBUS I)**

Part 1:

Functional description with electrical
and timing specifications

© IEC 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun
procédé, électronique ou mécanique, y compris la photo-
copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in
any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission in
writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembe, Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site: <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XA

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
PREAMBULE	8
PREFACE	8
INTRODUCTION	12

SECTION UN - GENERALITES

Articles

1.1	Domaine d'application	12
1.2	Objet	14
1.3	Définitions	14
1.3.1	Terminologie du système en général	14
1.3.1.1	Compatibilité (Publication 625-1 de la CEI)	14
1.3.1.2	Cycle du bus	16
1.3.1.3	Interface (Publication 625-1 de la CEI)	16
1.3.1.4	Système d'interface (Publication 625-1 de la CEI)	16
1.3.1.5	Priorité	16
1.3.1.6	Système	16
1.3.2	Signaux et chemins (Publication 625-1 de la CEI)	16
1.3.2.1	Omnibus (ou bus) (Publication 625-1 de la CEI)	16
1.3.2.2	Octet	16
1.3.2.3	Mot	16
1.3.2.4	Signal (Publication 625-1 de la CEI)	16
1.3.2.5	Paramètre d'un signal (Publication 625-1 de la CEI)	16
1.3.2.6	Niveau de signal (Publication 625-1 de la CEI)	18
1.3.2.7	Etat haut (Publication 625-1 de la CEI)	18
1.3.2.8	Etat bas (Publication 625-1 de la CEI)	18
1.3.2.9	Ligne de signal (Publication 625-1 de la CEI)	18
1.3.2.10	Maître	18
1.3.2.11	Esclave	18

SECTION DEUX - SPECIFICATIONS FONCTIONNELLES

2.1	Eléments du bus	20
2.1.1	Maîtres	20
2.1.2	Esclaves	22
2.1.3	Signaux du bus	22
2.1.3.1	Lignes de commande	24
2.1.3.1.1	Lignes d'horloge	24
2.1.3.1.2	Lignes de commande (MWTC*, MRDC*, IOWC*, IORC*)	24
2.1.3.1.3	Ligne d'accusé de réception de transfert (XACK*)	26
2.1.3.1.4	Initialisation (INIT*)	26
2.1.3.1.5	Blocage (LOCK*)	26
2.1.3.2	Lignes d'adresses et d'invalidation	26

CONTENTS

	Page
FOREWORD	9
PREFACE	13
INTRODUCTION	13

SECTION ONE - GENERAL

Clause

1.1	Scope	13
1.2	Object	15
1.3	Definitions	15
1.3.1	General System Terms	15
1.3.1.1	Compatibility (IEC Publication 625-1)	15
1.3.1.2	Bus Cycle	17
1.3.1.3	Interface (IEC Publication 625-1)	17
1.3.1.4	Interface System (IEC Publication 625-1)	17
1.3.1.5	Override	17
1.3.1.6	System	17
1.3.2	Signals and Paths (IEC Publication 625-1)	17
1.3.2.1	Bus (IEC Publication 625-1)	17
1.3.2.2	Byte	17
1.3.2.3	Word	17
1.3.2.4	Signal (IEC Publication 625-1)	17
1.3.2.5	Signal Parameter (IEC Publication 625-1)	19
1.3.2.6	Signal Level (IEC Publication 625-1)	19
1.3.2.7	High State (IEC Publication 625-1)	19
1.3.2.8	Low State (IEC Publication 625-1)	19
1.3.2.9	Signal Line (IEC Publication 625-1)	19
1.3.2.10	Master	19
1.3.2.11	Slave	19

SECTION TWO - FUNCTIONAL SPECIFICATIONS

2.1	Bus Elements	21
2.1.1	Masters	21
2.1.2	Slaves	23
2.1.3	Bus Signals	23
2.1.3.1	Control Lines	25
2.1.3.1.1	Clock Lines	25
2.1.3.1.2	Command Lines (MWTC*, MRDC*, IOWC*, IORC*)	25
2.1.3.1.3	Transfer Acknowledge Line (XACK*)	27
2.1.3.1.4	Initialize (INIT*)	27
2.1.3.1.5	Lock (LOCK*)	27
2.1.3.2	Address and Inhibit Lines	27

Articles	Pages
2.1.3.2.1 Lignes d'adresses (24 lignes)	26
2.1.3.2.2 Validation des octets de poids fort (BHEN*)	26
2.1.3.2.3 Lignes d'invalidation (INH1* et INH2*)	28
2.1.3.3 Lignes de données (D0*-D15*)	28
2.1.3.4 Lignes d'interruption	28
2.1.3.4.1 Lignes de demande d'interruption (INT0*-INT7*)	28
2.1.3.4.2 Accusé de réception d'interruption (INTA*)	28
2.1.3.5 Lignes de permutation du bus	30
2.1.3.5.1 Demande de bus (BREQ*)	30
2.1.3.5.2 Priorité de bus (BPRN* et BPRO*)	30
2.1.3.5.3 Occupation de bus (BUSY*)	30
2.1.3.5.4 Demande commune de bus (CBRQ*)	30
2.2 Opération de transfert des données	30
2.2.1 Généralités concernant le transfert des données	32
2.2.2 Description des signaux	34
2.2.2.1 Initialisation (INIT*)	34
2.2.2.2 Horloge constante (CCLK*)	36
2.2.2.3 Lignes d'adresses (A0*-A23*)	36
2.2.2.4 Lignes de données (D0*-D15*)	36
2.2.2.5 Commandes du bus	40
2.2.2.5.1 Cycle lecture	42
2.2.2.5.2 Cycle écriture	44
2.2.2.5.3 Accusé de réception de transfert (XACK*)	44
2.2.2.5.4 Invalidation (INH1* et INH2*)	46
2.2.2.6 Blocage (LOCK*)	52
2.3 Opérations d'interruption	52
2.3.1 Lignes de signaux d'interruption	52
2.3.1.1 Lignes de demande d'interruption (INT0*-INT7*)	52
2.3.1.2 Accusé de réception d'interruption (INTA*)	54
2.3.2 Classification des réalisations des interruptions	54
2.3.2.1 Interruptions vectorisées autrement que par le bus	54
2.3.2.2 Interruptions vectorisées par le bus	56
2.4 Permutation de commande du bus	58
2.4.1 Signaux de permutation de commande du bus	58
2.4.1.1 Horloge de bus (BCLK*)	58
2.4.1.2 Occupation de bus (BUSY*)	60
2.4.1.3 Priorité IN de bus (BPRN*)	60
2.4.1.4 Priorité OUT de bus (BPRO*)	62
2.4.1.5 Demande de bus (BREQ*)	62
2.4.1.6 Demande commune de bus (CBRQ*) (en option)	62
2.4.2 Techniques de priorité de permutation de commande du bus.....	64
2.4.2.1 Technique de priorité en série	64
2.4.2.2 Technique d'arbitrage en parallèle	64

SECTION TROIS - SPECIFICATIONS ELECTRIQUES

3.1 Considérations générales sur le bus	68
3.1.1 Relations d'états logique et électrique	68
3.1.2 Caractéristiques des lignes de signaux	70
3.1.2.1 Exigences des lignes de signaux en fonctionnement	70
3.1.2.2 Caractéristiques du tracé des lignes de signaux sur le fond de panier	72

Clause		Page
2.1.3.2.1	Address Lines (24 lines)	27
2.1.3.2.2	Byte High Enable Line (BHEN*)	27
2.1.3.2.3	Inhibit Lines (INH1* and INH2*)	29
2.1.3.3	Data Lines (D0*-D15*)	29
2.1.3.4	Interrupt Lines	29
2.1.3.4.1	Interrupt Request Lines (INT0*-INT7*)	29
2.1.3.4.2	Interrupt Acknowledge (INTA*)	29
2.1.3.5	Bus Exchange Lines	31
2.1.3.5.1	Bus Request (BREQ*)	31
2.1.3.5.2	Bus Priority (BPRN* and BPRO*)	31
2.1.3.5.3	Bus Busy (BUSY*)	31
2.1.3.5.4	Common Bus Request (CBRQ*)	31
2.2	Data Transfer Operation	31
2.2.1	Data Transfer Overview	33
2.2.2	Signal Descriptions	35
2.2.2.1	Initialize (INIT*)	35
2.2.2.2	Constant Clock (CCLK*)	37
2.2.2.3	Address Lines (A0*-A23*)	37
2.2.2.4	Data Lines (D0*-D15*)	37
2.2.2.5	Bus Commands	41
2.2.2.5.1	Read Operation	43
2.2.2.5.2	Write Operation	45
2.2.2.5.3	Transfer Acknowledge (XACK*)	45
2.2.2.5.4	Inhibit (INH1* and INH2*)	47
2.2.2.6	Lock (LOCK*)	53
2.3	Interrupt Operations	53
2.3.1	Interrupt Signal Lines	53
2.3.1.1	Interrupt Request Lines (INT0*-INT7*)	53
2.3.1.2	Interrupt Acknowledge (INTA*)	55
2.3.2	Classes of Interrupt Implementation	55
2.3.2.1	Non-Bus Vectored Interrupts	55
2.3.2.2	Bus Vectored Interrupts	57
2.4	Bus Exchange	59
2.4.1	Bus Exchange Signals	59
2.4.1.1	Bus Clock (BCLK*)	59
2.4.1.2	Bus Busy (BUSY*)	61
2.4.1.3	Bus Priority IN (BPRN*)	61
2.4.1.4	Bus Priority OUT (BPRO*)	63
2.4.1.5	Bus Request (BREQ*)	63
2.4.1.6	Common Bus Request (CBRQ*) (Optional)	63
2.4.2	Bus Exchange Priority Techniques	65
2.4.2.1	Serial Priority Technique	65
2.4.2.2	Parallel Arbitration Technique	65

SECTION THREE - ELECTRICAL SPECIFICATIONS

3.1	General Bus Considerations	69
3.1.1	Logical and Electrical State Relationships	69
3.1.2	Signal Line Characteristics	71
3.1.2.1	In-Use Signal Line Requirements	71
3.1.2.2	Backplane Signal Trace Characteristics	73

Articles		Pages
3.1.3	Spécifications d'alimentation	72
3.1.4	Température et humidité	78
3.2	Chronologie	78
3.2.1	Opérations de lecture (E/S et mémoire)	84
3.2.2	Opérations d'écriture (E/S et mémoire)	84
3.2.3	Opérations d'invalidation	86
3.2.4	Réalisations du système d'interruption	86
3.2.4.1	Interruptions NBV	88
3.2.4.2	Interruptions BV	88
3.2.5	Permutation de commande du bus	90
3.2.5.1	Priorité en série	92
3.2.5.2	Priorité en parallèle	94
3.2.6	Chronologies diverses	94
3.3	Récepteurs, circuits de commande et terminaisons	96

SECTION QUATRE - NIVEAUX DE CONFORMITE

4.1	Eléments variables des possibilités du matériel	104
4.1.1	Chemin de données	104
4.1.2	Chemin d'adresse mémoire	104
4.1.3	Chemin d'adresse E/S	104
4.1.4	Attributs d'interruption	104
4.2	Maîtres et esclaves	106
4.3	Notation de niveau de conformité	108
4.3.1	Chemin de données	108
4.3.2	Chemin d'adresse mémoire	108
4.3.3	Chemin d'adresse E/S	108
4.3.4	Attributs d'interruption	108
4.3.5	Exemple	108
4.3.6	Marque de conformité	110

Clause		Page
3.1.3	Power Supply Specification	73
3.1.4	Temperature and Humidity	79
3.2	Timing	79
3.2.1	Read Operations (I/O and Memory)	85
3.2.2	Write Operations (I/O and Memory)	85
3.2.3	Inhibit Operations	87
3.2.4	Interrupt Implementations	87
3.2.4.1	NBV Interrupts	89
3.2.4.2	BV Interrupts	89
3.2.5	Bus Control Exchanges	91
3.2.5.1	Serial Priority	93
3.2.5.2	Parallel Priority	95
3.2.6	Miscellaneous Timing	95
3.3	Receivers, Drivers and Terminations	97

SECTION FOUR - LEVELS OF COMPLIANCE

4.1	Variable Elements of Capability	105
4.1.1	Data Path	105
4.1.2	Memory Address Path	105
4.1.3	I/O Address Path	105
4.1.4	Interrupt Attributes	105
4.2	Masters and Slaves	107
4.3	Compliance Level Notation	109
4.3.1	Data Path	109
4.3.2	Memory Address Path	109
4.3.3	I/O Address Path	109
4.3.4	Interrupt Attributes	109
4.3.5	Example	109
4.3.6	Compliance Marking	111

Document(s) Preview generated by EVS

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS
(MULTIBUS I)

Première partie: Description fonctionnelle
avec spécifications électriques et chronologiques

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
- 4) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Sous-Comité 47B*: Systèmes à microprocesseurs, du Comité d'Etudes n° 47 de la CEI. Dispositifs à semi-conducteurs.

Cette norme constitue la première partie d'une série de publications, dont les autres parties sont les suivantes:

- Publication 796-2 (1990): Bus système à microprocesseurs - Données: 8 bits et 16 bits (MULTIBUS I) - Deuxième partie: Description mécanique et brochage pour la configuration du bus système, avec des connecteurs en haut de carte.
- Publication 796-3 (1990): Troisième partie: Description mécanique et brochage pour la configuration Eurocard ayant des connecteurs rapportés.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA
(MULTIBUS I)Part 1: Functional description with electrical
and timing specifications

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
- 4) The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by Sub-Committee 47B*: Microprocessor Systems, of IEC Technical Committee No. 47: Semiconductor Devices.

This standard forms Part 1 of a series of publications, the other parts being:

- Publication 796-2 (1990): Microprocessor system bus - 8-bit and 16-bit data (MULTIBUS I) - Part 2: Mechanical and pin descriptions for the system bus configuration, with edge connectors (direct).
- Publication 796-3 (1990): Part 3: Mechanical and pin descriptions for the Eurocard configuration with pin and socket (indirect) connectors.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47B(BC)8	47B(BC)14

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La publication suivante de la CEI est citée dans la présente norme:

Publication n° 625-1 (1979): Un système d'interface pour instruments de mesurage programmables (bits parallèles, octets série), Première partie: Spécifications fonctionnelles, spécifications électriques, spécifications mécaniques, application du système et règles pour le constructeur et l'utilisateur.

* Le Sous-Comité 47B de la CEI est désormais transféré dans l'ISO/CEI JTC 1.

La présente norme a été approuvée selon les procédures de la CEI et, par conséquent, est publiée comme norme de la CEI.

The text of this standard is based upon the following documents:

Six Months' Rule	Report on Voting
47B(C0)8	47B(C0)14

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

The following IEC publication is quoted in this standard:

Publication No. 625-1 (1979): An interface system for programmable measuring instruments (byte serial, bit parallel), Part 1: Functional specifications, electrical specifications, mechanical specifications, system applications and requirements for the designer and user.

* IEC Sub-Committee 47B has now been transferred to ISO/IEC JTC 1.

This standard was approved according to IEC procedures and is therefore published as an IEC standard.

BUS SYSTEME A MICROPROCESSEURS - DONNEES: 8 BITS ET 16 BITS (MULTIBUS I)

Première partie: Description fonctionnelle avec spécifications électriques et chronologiques

INTRODUCTION

La présente norme fait partie d'une série qui traite des interfaces mécaniques et électriques permettant aux divers composants d'un système à microprocesseurs de dialoguer entre eux. Le bus d'interface sert de moyen de transfert en parallèle et d'interconnexion des signaux utilitaires pour les composants d'un système étroitement couplés. La série est composée d'une description fonctionnelle et de deux normes mécaniques.

SECTION UN - GENERALITES

1.1 Domaine d'application

La présente norme s'applique aux composants d'interface du système et doit être utilisée lors de l'interconnexion des sous-ensembles de traitement de l'information, de stockage, et des contrôleurs périphériques dans une configuration étroitement couplée. Ce système d'interface comprend les signaux nécessaires pour permettre aux divers composants du système de dialoguer entre eux. Il permet le transfert de données d'entrée/sortie (E/S) et de mémoire, les accès directs à la mémoire, la génération d'interruptions, etc. Cette norme fournit une description détaillée de tous les éléments et caractéristiques qui constituent le bus système.

Le bus dessert deux espaces d'adresse indépendants: la mémoire et les entrées/sorties. Durant les cycles mémoire, le bus permet une adressabilité directe, jusqu'à 16 méga-octets, en utilisant un adressage à 24 bits. Durant les cycles d'entrées/sorties, le bus permet un adressage jusqu'à 64K de points d'accès E/S, utilisant un adressage à 16 bits. Aussi bien les cycles mémoire que les cycles E/S peuvent permettre des transferts de données à 8 ou 16 bits.

La structure du bus a été établie selon le concept maître-esclave, où l'unité maîtresse dans le système prend le contrôle du bus et l'organe processeur esclave, reconnu par décodage de son adresse, agit selon les ordres donnés par le maître. Cet établissement de liaison (relation maître-esclave) entre le maître et les esclaves permet à des modules de vitesses différentes de s'interconnecter par l'intermédiaire du bus. Il permet aussi des débits de données allant jusqu'à cinq millions de transferts par seconde (octets ou mots) sur le bus.

Une autre caractéristique importante du bus est sa capacité à connecter plusieurs modules maîtres pour les configurations en multi-traitement. Le bus fournit les signaux de commande pour connecter plusieurs maîtres aussi bien en mode de priorité série qu'en mode de priorité parallèle. Avec l'un ou l'autre de ces deux agencements, plus d'un maître peut partager les ressources du bus.

MICROPROCESSOR SYSTEM BUS - 8-BIT AND 16-BIT DATA (MULTIBUS I)

Part 1: Functional description with electrical and timing specifications

INTRODUCTION

This standard is one of a series which deals with the electrical and mechanical interfaces to allow various microprocessor system components to interact with each other. The interface bus serves as a parallel transfer and utility signal interconnect for closely coupled system components. The series consists of one functional description and two alternative mechanical standards.

SECTION ONE - GENERAL

1.1 Scope

This standard is applicable to interface system components, for use in interconnecting data processing, data storage, and peripheral control devices in a closely coupled configuration. This interface system contains the necessary signals to allow the various system components to interact with each other. It allows memory and Input/Output (I/O) data transfers, direct memory accesses, generation of interrupts, etc. This standard provides a detailed description of all the elements and features that make up the system bus.

The bus supports two independent address spaces: memory and I/O. During memory cycles the bus allows direct addressability of up to 16 megabytes using 24-bit addressing. During I/O bus cycles, the bus allows addressing of up to 64K I/O ports using 16-bit addressing. Both memory and I/O cycles can support 8-bit data transfers.

The bus structure is built upon the master-slave concept where the master device in the system takes control of the bus and the slave device, upon decoding its address, acts upon the command provided by the master. This handshake (master-slave relationship) between the master and slave devices allows modules of different speeds to be interfaced via the bus. It also allows data rates up to five million transfers per second (bytes or words) to take place across the bus.

Another important feature of the bus is the ability to connect multiple master modules for multiprocessing configurations. The bus provides control signals for connecting multiple masters in either a serial or parallel priority fashion. With either of these two arrangements, more than one master may share bus resources.

Cette norme a été préparée pour les utilisateurs qui ont l'intention d'évaluer ou de concevoir des matériels compatibles avec la structure du bus. A cette fin, les définitions des signaux nécessaires et les spécifications électriques et de synchronisation ont été expliquées en détail.

Cette norme traite seulement des caractéristiques d'interface des micro-ordinateurs. Elle ne traite pas des spécifications d'études, des exigences de performances, ni des exigences de sécurité des modules.

Dans cette norme, le terme "système" signifie le système d'interface par mot ou par octet qui, en général, comprend tous les circuits, connecteurs et protocoles de commande pour effectuer des transferts de données non ambigus entre les unités. Le terme "unité" ou "module" signifie tout matériel connecté au système d'interface, qui communique l'information par la voie du bus, tout en se conformant à la définition du système d'interface.

1.2 Objet

Cette norme a pour but de:

- 1) définir l'usage général du bus système du micro-ordinateur;
- 2) spécifier les exigences d'interfaces fonctionnelles et électriques indépendantes du type d'unité, auxquelles le module doit satisfaire dans le but de permettre son interconnexion et la communication sans ambiguïté par la voie du bus système;
- 3) spécifier la terminologie et les définitions relatives au système;
- 4) valider l'interconnexion des unités construites indépendamment en un système fonctionnel unique;
- 5) permettre aux produits dans un large éventail de capacités de s'interconnecter simultanément au système;
- 6) définir un système ayant un minimum de restrictions sur les caractéristiques de performances des unités connectées au système.

1.3 Définitions

Les définitions générales suivantes sont applicables dans le cadre de cette norme. Des définitions plus amplement détaillées sont fournies dans les paragraphes respectifs.

1.3.1 Terminologie du système en général

1.3.1.1 Compatibilité (Publication 625-1 de la CEI)

Mesure dans laquelle les appareils conçus conformément à toutes les dispositions de cette norme peuvent être interconnectés et utilisés sans modification (par exemple: compatibilité mécanique, électrique, fonctionnelle).

This standard has been prepared for those users who intend to evaluate or design products that will be compatible with the system bus structure. To this end, the necessary signal definitions and timing and electrical specifications have been covered in detail.

This standard deals only with the interface characteristics of microcomputer devices and not with design specifications, performance requirements, and safety requirements of modules.

Throughout this standard, the term "system" denotes the byte or word interface system that, in general, includes all the circuits, connectors, and control protocol to effect unambiguous data transfer between devices. The term "device" or "module" denotes any product connected to the interface system that communicates information via the bus, and that conforms to the interface system definition.

1.2 Object

This standard is intended to:

- 1) define a general purpose microcomputer system bus;
- 2) specify the device-independent electrical and functional interface requirements that a module shall meet in order to interconnect and communicate unambiguously via the bus system;
- 3) specify the terminology and definitions related to the system;
- 4) enable the interconnection of independently manufactured devices into a single functional system;
- 5) permit products with a wide range of capabilities to be interconnected to the system simultaneously;
- 6) define a system with a minimum of restrictions on the performance characteristics of devices connected to the system.

1.3 Definitions

The following general definitions apply for the purpose of this standard. More detailed definitions can be found in the relevant sub-clause.

1.3.1 General System Terms

1.3.1.1 Compatibility (IEC Publication 625-1)

The degree to which devices may be interconnected and used, without modification, when designed as defined throughout this standard (e.g. mechanical, electrical, functional).

1.3.1.2 *Cycle du bus*

Le processus par lequel les signaux numériques effectuent le transfert des octets ou mots de données sur l'interface, au moyen d'une séquence interverrouillée des signaux de commande. "Interverrouillé" implique une séquence fixe des événements dans laquelle un événement doit se produire avant l'événement suivant.

1.3.1.3 *Interface* (Publication 625-1 de la CEI)

Frontière commune appartenant à un système considéré et à un autre système, ou à des parties d'un même système, à travers laquelle une information circule.

1.3.1.4 *Système d'interface* (Publication 625-1 de la CEI)

Ensemble des éléments mécaniques, électriques et fonctionnels, invariables pour les différents appareils, et nécessaires dans une interface pour effectuer la communication entre une série d'appareils. Les câbles, les connecteurs, les circuits de commande et de réception, les définitions des signaux sur les lignes, les conventions de cadence et de contrôle et les circuits logiques fonctionnels sont des éléments types d'un système d'interface.

1.3.1.5 *Priorité*

Un maître du bus a la priorité sur la logique de commande du bus quand cela s'avère nécessaire pour se garantir lui-même des cycles de bus "back-to-back". Cela constitue ce que l'on appelle une réquisition temporaire du bus pour empêcher que d'autres unités maîtres ne puissent l'utiliser.

1.3.1.6 *Système*

Ensemble d'éléments interconnectés qui réalisent un objectif donné par l'exécution d'une fonction spécifiée.

1.3.2 *Signaux et chemins* (Publication 625-1 de la CEI)

1.3.2.1 *Omnibus (ou bus)* (Publication 625-1 de la CEI)

Ligne de signal (ou ensemble de lignes) utilisée par un système d'interface, à laquelle sont connectés un certain nombre d'appareils et sur laquelle les messages sont véhiculés.

1.3.2.2 *Octet*

Groupe de huit chiffres binaires en parallèle traité comme un ensemble.

1.3.2.3 *Mot*

Deux octets ou seize bits traités comme un ensemble.

1.3.2.4 *Signal* (Publication 625-1 de la CEI)

Représentation physique d'une information.

This document is a preview generated by EVS

ICS 31.080 ; 35.200

Typeset and printed by the IEC Central Office
GENEVA, SWITZERLAND